

Extendible time-sharing bus structure

Publication number: CN1304100 (A)

Publication date: 2001-07-18

Inventor(s): LI XINZHOU [CN]; LONG ZHANGJUN [CN]

Applicant(s): LINGYANG SCIENCE & TECHNOLOGY [CN]

Classification:

- **international:** **G06F13/40; G06F13/40;** (IPC1-7): G06F13/40

- **European:**

Application number: CN19991026041 19991213

Priority number(s): CN19991026041 19991213

Also published as:

 CN1128413 (C)

Abstract of **CN 1304100 (A)**

The present invention relates to a structure capable of expanding time-shared bus, and is mainly characterized by that it utilizes the bus interface of microprocessor and memory and uses an address and data-shared bus to transfer the address and data to the between of microprocessor and memory in time-sharing mode, and utilizes the logic combination of two control lines to define that the said address-and data-shared bus is used for transferring address, reading data or writing data so as to reduce foot position for making interface and can obtain a storage space with elasticity and multiple.

.....
Data supplied from the **esp@cenet** database — Worldwide

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.⁷
G06F 13/40

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 99126041.4

[45] 授权公告日 2003 年 11 月 19 日

[11] 授权公告号 CN 1128413C

[22] 申请日 1999.12.13 [21] 申请号 99126041.4
[71] 专利权人 凌阳科技股份有限公司
地址 台湾省新竹县科学园区创新一路 19 号
[72] 发明人 李新洲 龙章俊
审查员 齐 霁

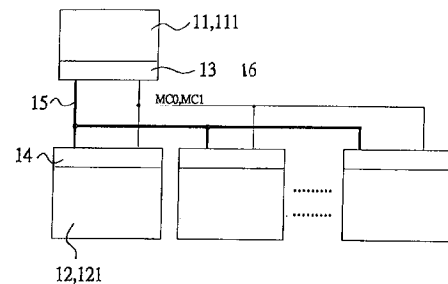
[74] 专利代理机构 中科专利商标代理有限责任公
司
代理人 汤保平

权利要求书 2 页 说明书 6 页 附图 5 页

[54] 发明名称 可扩充分时总线结构

[57] 摘要

本发明是为一种可扩充分时总线结构，主要是透过微处理器及存储器的总线界面，使用一地址及资料共用总线以分时的方式来传送地址及资料于微处理器与存储器间，并以两条控制线的逻辑组合而决定该地址及资料共用总线是用以传送地址、读取资料或写入资料，藉以精简制作界面的脚位，并可得到有弹性及倍数的存储器空间。



I S S N 1 0 0 8 - 4 2 7 4

5 1. 一种可扩充分时总线结构，是用于一微处理器装置与至少一存储器装置间的资料读写，其特征在于，该总线结构主要包括一微处理器总线界面及一存储器总线界面，其中，该微处理器界面是以一地址及资料共用总线及至少两条控制线与该存储器总线界面连接，该地址及资料
10 间，该至少两条控制线则是由该微处理器装置所予以驱动为第一逻辑准位或第二逻辑准位，以便使该微处理器装置与该存储器装置依据该控制线的逻辑组合而决定该地址及资料共用总线是用以传送地址、读取资料或写入资料。

 2. 根据权利要求1所述的可扩充分时总线结构，其特征在于，其中
15 中该存储器总线界面具有一地址暂存器，以当进行资料读写时，将所要读写的地址予以锁定。

 3. 根据权利要求2所述的可扩充分时总线结构，其特征在于，其中
20 中该存储器总线界面更具有一存储库暂存器，其是记录该存储器装置所提供的存储库的位置，以配合该地址暂存器装置的内容，透过存储器映射而产生实际的地址。

 4. 根据权利要求3所述的可扩充分时总线结构，其特征在于，其中
25 中该存储器总线界面更具有一身份识别暂存器以记录该存储器总线界面的编号，藉以当该微处理器装置所送出的身分辨识统号与该存储器总线界面所记录的编号相同时，将该存储器总线界面予以启动。

 5. 根据权利要求2、3或4所述的可扩充分时总线结构，其特征在于，其中该至少两条控制线是包括一第一控制线及一第二控制线。

 6. 根据权利要求5所述的可扩充分时总线结构，其特征在于，其中当该第二控制线为第一逻辑准位时，该地址及资料共用总线是用以传送资料。

30 7. 根据权利要求6所述的可扩充分时总线结构，其特征在于，其

中当该第一控制线为第二逻辑准位时，该地址及资料共用总线是用以传送读取资料，而当该第一控制线为第一逻辑准位时，该地址及资料共用总线是用以传送写入资料。

8. 根据权利要求7所述的可扩充分时总线结构，其特征在于，其中当该第二控制线为第二逻辑准位时，该地址及资料共用总线是用以传送地址。

9. 根据权利要求8所述的可扩充分时总线结构，其特征在于，其中当该第一控制线为第一逻辑准位时，该地址及资料共用总线是用以传送高地址，而当该第一控制线为第二逻辑准位时，该地址及资料共用总线是用以传送低地址。

10. 根据权利要求9所述的可扩充分时总线结构，其特征在于，其中该地址暂存器是以一组触发器及一组锁存来分别锁定该高地址及该低地址。

11. 根据权利要求10所述的可扩充分时总线结构，其特征在于，其中该微处理器装置为一微处理器，该存储器装置为一存储器。

12. 根据权利要求11所述的可扩充分时总线结构，其特征在于，其中该第一逻辑准位为逻辑低准位，该第二逻辑准位为逻辑高准位。

5

可扩充分时总线结构

技术领域

本发明是有关于电脑的总线，尤指一种可扩充地址空间的分时总线结构。

10

背景技术

习知的微控制系统主要是由微处理器、存储器及输出入装置所构成，如图5所示，该微处理器55与该存储器54（或输出入装置）间的资料的传输是透过一组地址总线51、一组数据总线52及配合一组读写控制信号线53来进行，其中，该地址总线51是用以承载着存储器54（或输出入装置）的地址，而地址总线51的宽度即代表着存储器空间的大小，如16条地址线即代表着最大的存储器容量为64k字节组（byte）。

当前述的微控制系统增加存储器容量时，该地址总线51的宽度也必须随之增加，例如当存储器容量增加至4M字节组时，此时须增加至22条地址线，如此一来除了增加系统PCB的成本外，并会增加存储器的打线及封装成本，而且整个系统的存储器容量在设计完之后，就不具扩充性，而有其制作及使用上的限制，因此，前述微控制系统的总线结构实有予以改进的必要。

发明人爰因于此，本于积极发明的精神，亟思一种可以解决上述问题的可扩充分时总线结构，几经研究实验终至完成此项新颖进步的发明。

发明内容

本发明的一目的是在提供一种可扩充分时总线结构，以节省集成电

路晶片的接脚数目。

本发明的另一目的是在提供一种可扩充分时总线结构，以方便地扩充存储器的容量。

为达前述的目的，本发明的可扩充分时总线结构主要包括一微处理器总线界面及一存储器总线界面，其中，该微处理器界面是以一地址及资料共用总线及至少两条控制线与该存储器总线界面连接，该地址及资料共用总线是以分时传送地址及资料于该微处理器装置与该存储器装置之间，该至少两条控制线则是由该微处理器装置所予以驱动为逻辑高准位或逻辑低准位，以便使该微处理器装置与该存储器装置依据该控制线的逻辑组合而决定该地址及资料共用总线是用以传送地址、读取资料或写入资料。

其中该存储器总线界面具有一地址暂存器，以当进行资料读写时，将所要读写的地址予以锁定。

其中该存储器总线界面更具有一存储库暂存器，其是记录该存储器装置所提供的存储库的位置，以配合该地址暂存器装置的内容，透过存储器映射而产生实际的地址。

其中该存储器总线界面更具有一身份识别暂存器以记录该存储器总线界面的编号，藉以当该微处理器装置所送出的身分辨识统号与该存储器总线界面所记录的编号相同时，将该存储器总线界面予以启动。

其中该至少两条控制线是包括一第一控制线及一第二控制线。

其中当该第二控制线为第一逻辑准位时，该地址及资料共用总线是用以传送资料。

其中当该第一控制线为第二逻辑准位时，该地址及资料共用总线是用以传送读取资料，而当该第一控制线为第一逻辑准位时，该地址及资料共用总线是用以传送写入资料。

其中当该第二控制线为第二逻辑准位时，该地址及资料共用总线是用以传送地址。

其中当该第一控制线为第一逻辑准位时，该地址及资料共用总线是用以传送高地址，而当该第一控制线为第二逻辑准位时，该地址及资料共用总线是用以传送低地址。

其中该地址暂寄存器是以一组触发器及一组锁存来分别锁定该高地址及该低地址。

其中该微处理器装置为一微处理器，该存储器装置为一存储器。

其中该第一逻辑准位为逻辑低准位，该第二逻辑准位为逻辑高准位。

由于本发明设计新颖，能提供产业上利用，且确有增进功效，故依法申请发明专利。

附图说明

为使贵审查委员能进一步了解本发明的结构、特征及其目的，兹附以图式及较佳具体实施例的详细说明如后，其中：

图 1 是为本发明的可扩充分时总线结构的一较佳实施例示意图。

图 2 是为本发明的可扩充分时总线结构的一较佳实施例的工作时序图。

图 3 是为本发明的可扩充分时总线结构的存储器界面的功能方块图。

图 4 是为本发明的可扩充分时总线结构所采用的存储器映射的一实例。

图 5 是为习知的总线结构示意图。

具体实施方式

有关本发明的分时总线结构的一较佳实施例，请先参照图 1 所示，其是用于一微处理器装置 1 1 与至少一存储器装置 1 2 之间的资料读写，于本实施例中，该微处理器装置 1 1 为一微处理器 1 1 1，该存储器装置 1 2 为一存储器 1 2 1。该总线结构主要包括一微处理器总线界面 1 3 及一存储器总线界面 1 4，其中，该微处理器总线界面 1 3 是以一 N 字节的地址及资料共用总线 1 5 及至少两条控制线 1 6 与该存储器总线界面 1 4 连接。该地址及资料共用总线 1 5 是用以传送地址及资料资讯于该微处理器 1 1 1 与该存储器 1 2 1 之间，该至少两条控制线 1 6 则用以决定该地址及资料共用总线 1 5 是用来传送地址、读取资料

或写入资料。

本实施例的可扩充分时总线结构是以具有两条控制线MC0及MC1为例来予以说明，于当欲进行资料读写时，该两条控制线MC0及MC1是由该微处理器111所予以驱动为逻辑高准位或逻辑低准位，因此，其共可提供四种逻辑状态的组合，而依据前述的逻辑状态可定义该地址及资料共用总线15的用途如以下的表一所示：

表一

MC1 逻辑状态	MC0 逻辑状态	地址及资料共用总线
High	Low	高地址
High	High	低地址
Low	High	读取资料
Low	Low	写入资料

亦即，当该控制线MC1为逻辑高准位且控制线MC0为逻辑低准位时，该地址及资料共用总线15是用以传送对存储器121定址的地址的高地址部分；当该控制线MC1为逻辑高准位且控制线MC0亦为逻辑高准位时，该地址及资料共用总线15是用以传送对存储器121定址的地址的低地址部分；当该控制线MC1为逻辑低准位且控制线MC0为逻辑高准位时，该地址及资料共用总线15是用以传送自存储器121读取的资料；而当该控制线MC1为逻辑低准位且控制线MC0亦为逻辑低准位时，该地址及资料共用总线15则是用以传送写入存储器121的资料。

对应前述表一的控制线MC0及MC1所提供的逻辑状态组合，可在一个时脉内利用时间分割的观念而将该地址及资料共用总线15切割成三个相位，如图2所示，按照高地址总线（AH，N字节）、低地址总线（AL，N字节）与数据总线（Data，N字节）（或是低地址、高地址、数据总线）的顺序传送给存储器总线界面14，据以进行存储器存取的动作。

参照图3所示，该存储器总线界面14是由其总线控制单元141

以一般的解码逻辑对该控制线MC 0及MC 1的逻辑状态组合进行解码,即可判断现在该地址及资料共用总线1 5上是传递何种资讯,以便对该存储器1 2 1发出适当的读写控制信号,以正确地完成存储器存取的动作。

- 5 又该存储器总线界面1 4并以一地址暂存器1 4 2来锁定所要读写的存储器1 2 1的地址,亦即依据该总线控制单元1 4 1的解码而判断该地址及数据总线1 5上是传递地址资讯时,将该地址予以锁定,于本较佳时实例中,该地址暂存器1 4 2是以一组触发器来锁住地址资讯的高地址部分,并以一组锁存来锁住低地址部分,而将所要读写的存储器的地址予以锁定,故共可得到 2^{2N} 的地址空间。

- 由该地址暂存器1 4 2所锁定的地址,即可用来对存储器1 2 1定址,以便以存取特定的存储器,而为进一步扩充可存取的存储器容量,该存储器总线界面1 4更具有一存储库暂存器1 4 3,其是用以记录由该存储器1 2 1所提供的多数存储库的位置,藉以将存储库暂存器1 4 3的内容配合上地址暂存器1 4 2的内容,透过一地址映射运算单元1 4 5的计算,以映射(Mapping)到实际的存储器地址,参照图4所示,于本较佳实施例中,该存储库暂存器1 4 3具有N字节,因此,其共可记录 2^N 个存储库4 1,再配合该地址暂存器1 4 2所提供的 2^{2N} 的地址空间,经存储器映射后可获得 2^{3N} 的地址空间。

- 20 再请参照图3所示,该存储器总线界面1 4更具有一身分辨识暂存器1 4 4,其是用以记录该存储器总线界面1 4所具有的识别编号,以当微处理器总线界面1 3所送出的身分辨识编号与该存储器总线界面1 4的编号相同时,则将该存储器总线界面1 4予以启动(enable),因此,可使一微处理器装置1 1能对多数的存储器装置1 2进行资料的读写,而再进一步扩充可存取的存储器容量。

- 于本实施例中,该身分辨识暂存器1 4 4亦为N字节,其共可识别 2^N 个存储器装置1 2,因此,经由该地址暂存器1 4 2、存储库暂存器1 4 3及身份识别暂存器1 4 4等三个暂存器的作用,便可以得到 2^{4N} 的地址空间,而非一般N字节总线的 2^N 的地址空间。另外,如果不使用身分辨识暂存器1 4 4,也可以得到 2^{3N} 的地址空间,而由于具

有这些地址空间，故在系统的使用上，便可自由增删存储器空间，而不会因地址总线的宽度而受限。

以一实际的范例而言，如果要读写一个 $1\text{M} \times 8\text{ bits}$ 容量的存储器时，如使用一般的总线结构，则微处理器端须要提供至少 29 个接脚（地址总线 20 个，数据总线 8 个，读写信号 1 个）到存储器以读写资料。而如果使用本发明的可扩充分时总线结构，则仅仅需要一组 8 字节的地址及资料共用总线 15 与二条存储器控制信号线 MC1 及 MC0，在微处理器总线界面 13 只需提供此 10 条信号，而在存储器总线界面 14 则可以使用 4 字节的存储库暂存器 143 即可完成读写外部存储器 121 的目的（ $2^{(8 \times 2 + 4)} = 2^{20} = 1\text{M}$ ）。而如果要外加 8 个存储器 121，只需 3 字节的身分辨识暂存器 144，即可读写到 $8\text{M} \times 8\text{ bits}$ 容量的存储器。

综上所述，经由使用本发明的可扩充分时总线结构，其确可达到下列目的及优点：

（1）有弹性的存储器容量：只需固定的地址总线宽度，即可达到扩充存储器的能力，让该微处理器的使用者，可以随着不同的应用，自由的增删存储器容量，而不须再更换微处理器。

（2）节省成本：因微处理器与存储器接脚的数目不会随着存储器容量增大而增大，整个接脚数目可达到最精简的程度，故可以有效的节省系统 PCB 成本，而且也可减少打线及封装成本；另外，因接脚（PAD）的数目多寡也会影响到晶片的大小，因为接脚数目固定，所以在需大容量存储器的应用，将可大大减少晶片面积。

因此，本发明无论就目的、手段及功效，在在均显示其迥异于习知技术的特征，为微控制器制作上的一大突破，恳请贵审查委员明察，早日赐准专利，以便嘉惠社会，实感德便。惟应注意的是，上述实施例仅是为了便于说明而举例而已，本发明所主张的权利范围自应以申请专利范围所述为准，而非仅限于上述实施例。



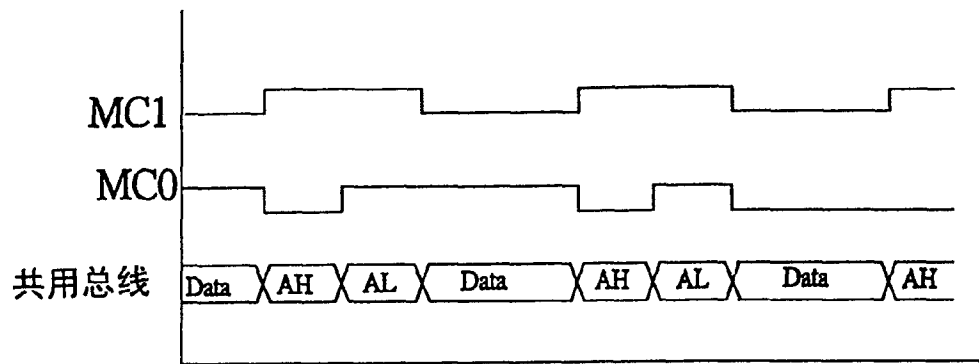


图 2

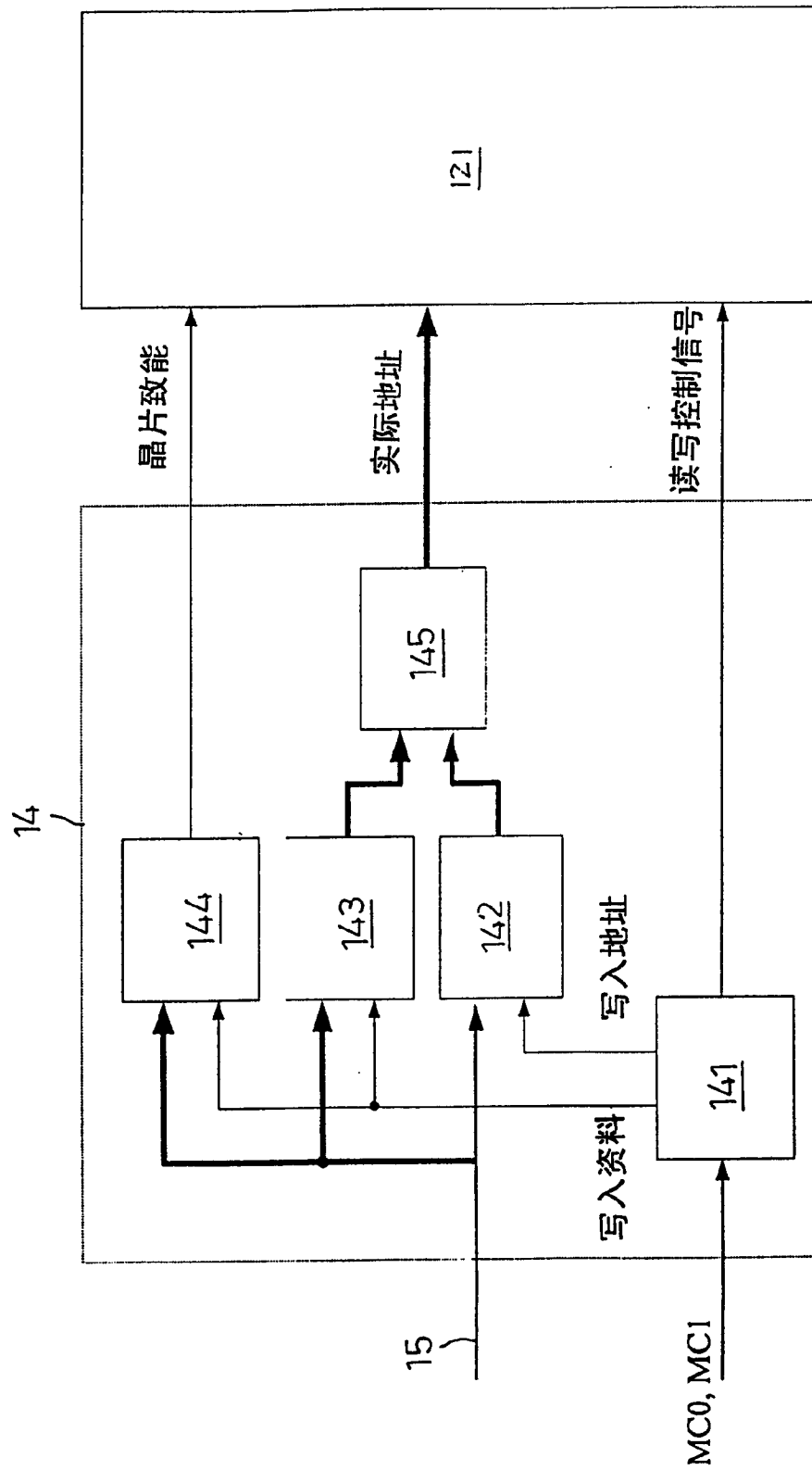


图 3

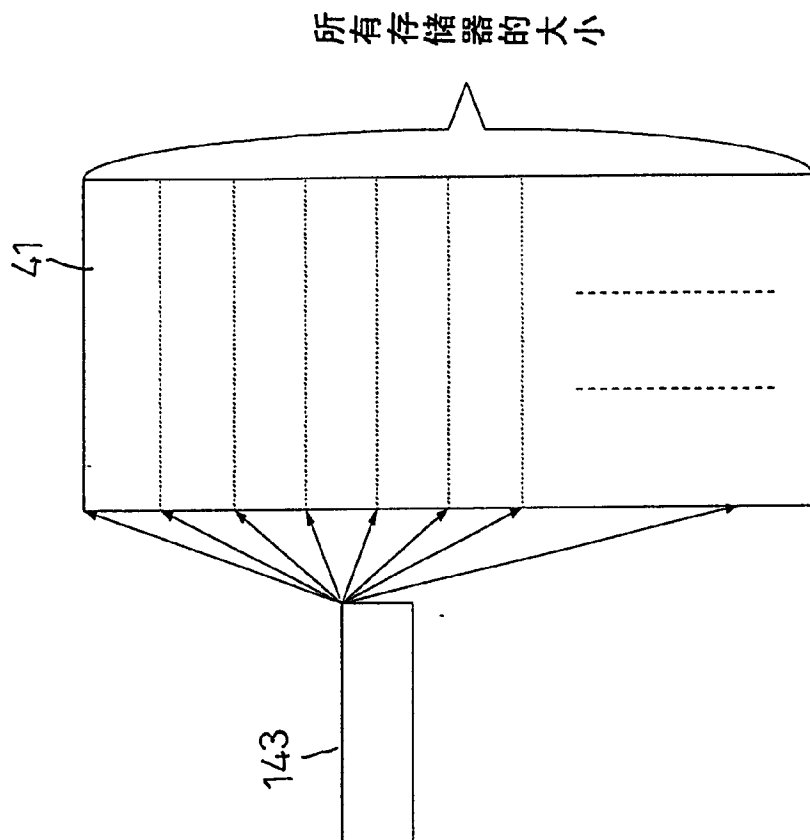


图 4

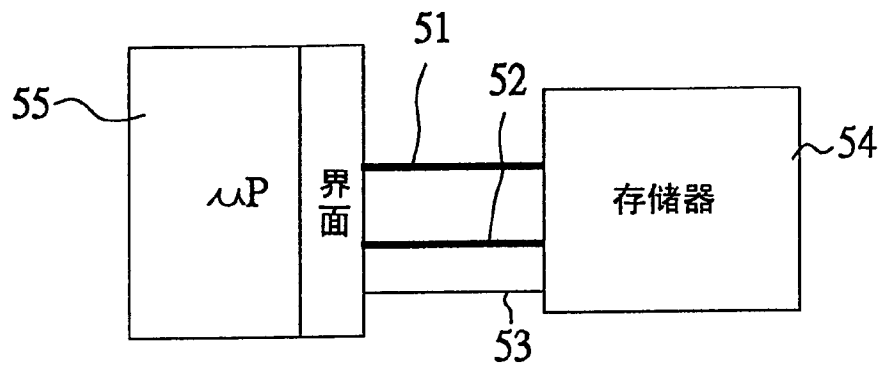


图 5